

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-102529

(P2001-102529A)

(43)公開日 平成13年4月13日(2001.4.13)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

テ-マコ-ト<sup>7</sup> (参考)

C 5 F 0 3 8  
F

審査請求 未請求 請求項の数17 O.L (全 17 頁)

(21)出願番号 特願平11-275282

(22)出願日 平成11年9月28日(1999.9.28)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 黒川 敦

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100083552

弁理士 秋田 収喜

F ターム(参考) 5F038 AC05 AC07 AC15 CA10 CA16  
DF02 EZ02 EZ20

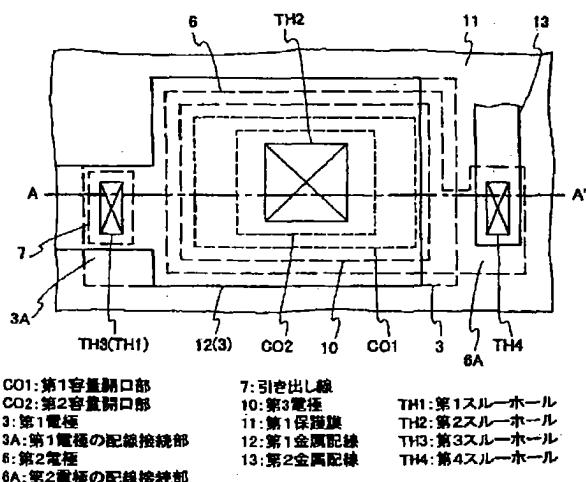
(54)【発明の名称】 MIM構造の容量素子及びそれを有する半導体集積回路装置

(57)【要約】

【課題】 MIM構造の容量素子の、半導体基板上に形成した時に単位面積当たりで得られる容量値(容量密度)を高くする。また、前記MIM構造の容量素子を有する半導体集積回路装置を小型化する。

【解決手段】 半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、前記第1金属膜と第3金属膜が電気的に接続され、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量と、前記第2金属膜、第2絶縁膜、第3金属膜からなる第2容量が並列に接続されており、前記第2容量の容量として機能する容量真性部が前記第1容量の容量として機能する容量真性部の内側に設けられているMIM構造の容量素子である。

図1



1

## 【特許請求の範囲】

【請求項1】 半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、

前記第1金属膜と第3金属膜が電気的に接続され、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量と、前記第2金属膜、第2絶縁膜、第3金属膜からなる第2容量が並列に接続されており、

前記第2容量の容量として機能する容量真性部が、前記第1容量の容量として機能する容量真性部の内側に設けられることを特徴とするMIM構造の容量素子。  
10

【請求項2】 半導体基板上に、n層（nは3以上の整数）の第1金属膜乃至第n金属膜が、それぞれの金属膜間にn-1層の第1絶縁膜乃至第n-1絶縁膜を介在して積層されており、

前記第1金属膜乃至第n金属膜のうち、第2m-1金属膜（mは1から（n+1）/2までの整数）同士が電気的に接続され、かつ第2m金属膜同士が電気的に接続されており、

第k金属膜（kは2からn-1までのいずれかの整数）、該第k金属膜上の第k絶縁膜及び第k+1金属膜により構成される第k容量の容量として機能する容量真性部が、前記第k金属膜の下層に設けられる第k-1金属膜、第k-1絶縁膜、第k金属膜により構成される第k-1容量の容量として機能する容量真性部の内側に設けられることを特徴とするMIM構造の容量素子。  
20

【請求項3】 MIM構造の容量素子を有する半導体集積回路装置であって、

前記MIM構造の容量素子は、半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、  
前記第1金属膜と第3金属膜が電気的に接続され、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量と、前記第2金属膜、第2絶縁膜、第3金属膜からなる第2容量が並列に接続されていることを特徴とする半導体集積回路装置。  
30

【請求項4】 MIM構造の容量素子を有する半導体集積回路装置であって、

前記MIM構造の容量素子は、半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、  
40

前記第2金属膜、第2絶縁膜、第3金属膜により構成される第2容量の容量として機能する容量真性部が、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量の容量として機能する容量真性部の内側に設けられることを特徴とする半導体集積回路装置。

【請求項5】 MIM構造の容量素子を有する半導体集積回路装置であって、

前記MIM構造の容量素子は、半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属  
50

2

膜を順次積層してなり、

前記第1金属膜と第3金属膜が電気的に接続され、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量と、前記第2金属膜、第2絶縁膜、第3金属膜からなる第2容量が並列に接続されており、  
前記第2容量の容量として機能する容量真性部が、前記第1容量の容量として機能する容量真性部の内側に設けられることを特徴とする半導体集積回路装置。

【請求項6】 前記請求項3乃至5のいずれか1項に記載のMIM構造の容量素子を有する半導体集積回路装置において、

前記第1金属膜と第3金属膜の電気的接続はスルーホールを介してなされており、該スルーホールを介した電気的接続は前記第2金属膜の形成時に前記スルーホールに付着した金属によりなされていることを特徴とする半導体集積回路装置。

【請求項7】 MIM構造の容量素子を有する半導体集積回路装置であって、

前記MIM構造の容量素子は、n層（nは3以上の整数）の第1金属膜乃至第n金属膜が、それぞれの金属膜間にn-1層の第1絶縁膜乃至第n-1絶縁膜を介在して積層されており、  
20

前記第1金属膜乃至第n金属膜のうち、第2m-1金属膜（mは1から（n+1）/2までの整数）同士が電気的に接続され、かつ第2m金属膜同士が電気的に接続されており、

第k金属膜（kは2からn-1までのいずれかの整数）、該第k金属膜上の第k容量絶縁膜及び第k+1金属膜により構成される第k容量の容量として機能する容量真性部が、前記第k金属膜の下層に設けられる第k-1金属膜、第k-1容量絶縁膜、第k金属膜により構成される第k-1容量の容量として機能する容量真性部の内側に設けられることを特徴とする半導体集積回路装置。  
30

【請求項8】 前記請求項7に記載のMIM構造の容量素子を有する半導体集積回路装置において、

前記第2m-1金属膜同士及び前記第2m金属膜同士の電気的接続はスルーホールを介してなされており、前記第2m-1金属膜同士の電気的接続は前記第2m金属膜の形成時に前記スルーホールに付着した金属によりなされており、前記第2m金属膜同士の電気的接続は前記第2m-1金属膜の形成時に前記スルーホールに付着した金属によりなされていることを特徴とする半導体集積回路装置。  
40

【請求項9】 前記請求項3乃至8のいずれか1項に記載のMIM構造の容量素子を有する半導体集積回路装置において、

前記MIM構造の容量素子の奇数番目及び偶数番目の金属膜の少なくとも一方と、半導体基板上に形成された他の素子の電極を接続する金属配線は、前記金属膜の一部

が延長されていることを特徴とする半導体集積回路装置。

【請求項10】 前記請求項9に記載の半導体集積回路装置において、前記金属配線は、前記奇数番目あるいは偶数番目の金属膜のうち、前記金属配線が属する方に対する他方の金属膜同士を電気的に接続するスルーホール内に存在していることを特徴とする半導体集積回路装置。

【請求項11】 前記請求項3乃至8のいずれか1項に記載のMIM構造の容量素子を有する半導体集積回路装置において、  
10 前記MIM構造の容量素子の最上層に設けられる金属膜と、該金属膜上に保護絶縁膜を介在させて設けた金属配線が、前記金属膜上の保護絶縁膜に形成された開口部を介して接続されることを特徴とする半導体集積回路装置。

前記MIM構造の容量素子の最上層に設けられる金属膜と、該金属膜上に保護絶縁膜を介在させて設けた金属配線が、前記金属膜上の保護絶縁膜に形成された開口部を介して接続されることを特徴とする半導体集積回路装置。

【請求項12】 前記請求項3乃至11のいずれか1項に記載のMIM構造の容量素子を有する半導体集積回路装置において、前記MIM構造の容量素子の最上層に設けられる金属膜は、金(Au)膜を含むことを特徴とする半導体集積回路装置。

【請求項13】 前記請求項11または12に記載のMIM構造の容量素子を有する半導体集積回路装置において、前記保護絶縁膜は、窒化シリコン膜を含むことを特徴とする半導体集積回路装置。

【請求項14】 前記請求項3乃至13のいずれか1項に記載のMIM構造の容量素子を有する半導体集積回路装置において、前記絶縁膜を介在して積層された金属膜のうち、少なくとも1層の金属膜の外周が、該金属膜下の絶縁膜を介した金属膜の外周と平面的に交差しないことを特徴とする半導体集積回路装置。

【請求項15】 前記請求項3乃至14のいずれか1項に記載のMIM構造の容量素子を有する半導体集積回路装置において、前記第1金属膜は、金(Au)を含む金属膜を含む積層膜で、かつ前記第1金属膜上の前記第1絶縁膜との界面側がチタン(Ti)を含む金属膜であることを特徴とする半導体集積回路装置。

【請求項16】 前記請求項15に記載のMIM構造の容量素子を有する半導体集積回路装置において、前記チタン(Ti)を含む金属膜は、チタン(Ti)膜、窒化チタン(TiN)膜、あるいはチタンとタンゲステン(W)の化合物膜のいずれかであることを特徴とする半導体集積回路装置。

【請求項17】 前記請求項15に記載のMIM構造の容量素子を有する半導体集積回路装置において、前記第1金属膜の前記金(Au)を含む金属膜と前記チタン(Ti)を含む金属膜間に、モリブデン(Mo)膜あるいは白金(Pt)膜を介在していることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

### 【0001】

【発明の属する技術分野】本発明は、半導体基板上に金属膜、絶縁膜、金属膜のそれぞれを順次積層してなるMIM(Metal-Insulator-Metal)構造の容量素子を有する半導体集積回路装置に関し、特に、前記半導体集積回路装置の小型化に適用して有効な技術に関するものである。

### 【0002】

【従来の技術】従来、携帯電話機に代表される携帯端末の小型化、低価格化を実現するために、前記携帯端末用高周波デバイスとして、トランジスタ、インダクター、容量素子、抵抗素子等を1つのヒ化ガリウム(GaAs)チップ上に形成したモノリシックマイクロ波集積回路(Monolithic Microwave IC、以下MMICと称する)が用いられている。

【0003】前記MMICに形成される容量素子には、例えば、GaAsのような半導体基板上にアルミニウム(A1)膜などで下部電極を形成し、その下部電極上にCVD(Chemical Vapor Deposition)法により形成される窒化シリコン膜あるいは酸化シリコン膜などの容量絶縁膜、及び金属膜の上部電極を積層した、いわゆるMIM構造のものがあげられる。以下、前記MIM構造の容量素子を、MIM容量と称する。

【0004】前記MIM容量は、例えば、携帯電話機の受信系回路における電源電圧の平滑化、雑音指数の劣化を防ぐためのバイパスコンデンサーとして用いられる(中塚忠良、“携帯電話用低雜音GaAsIC”、応用物理、第67巻、第4号、462-466, 1998参照)。

【0005】前記MIM容量で用いられる容量絶縁膜の比誘電率は、酸化シリコン膜では4.5程度、窒化シリコン膜では7~8程度であり、厚さが500オングストローム~2000オングストローム程度であるため、前記GaAs基板上に形成した時に単位面積当たりで得られる容量値(以下、容量密度と称する)は100pF/mm<sup>2</sup>~400pF/mm<sup>2</sup>程度になる。前記MIM容量の容量密度が低いため、前記MMIC等のチップ上で、前記MIM容量の占有面積が大きくなっている。例えば、携帯電話機の受信系回路に使用されるMMICでは、前記MIM容量の占有面積が、チップの回路形成面の面積の30%から50%を占めている。

【0006】そのため、前記MMICを小型化するには、前記MIM容量の容量密度を高くして、前記MIM容量の形成面積を縮小するのが一番効率的である。

### 【0007】

【発明が解決しようとする課題】しかしながら、前記従来の技術では、前記MIM容量の容量密度が小さいため、前記MMIC等のチップ上における前記MIM容量の形成面積を大きくしなければならない。そのため、チップサイズそのものが大きくなり、製造コスト(チップ

原価)が高くなるという問題があった。

【0008】前記MIM容量の容量密度を高くするためには、容量絶縁膜の薄膜化が進んでいるが、前記容量絶縁膜を薄くしすぎると絶縁破壊を起こすため、前記MIM容量の容量密度を高くすることが難しいという問題があった。そのため、前記MIM容量の容量密度を高くして、前記MMIC等のチップ上における前記MIM容量の形成面積を縮小することが難しく、前記MIM容量を有するMMICのチップサイズの小型化が難しいという問題があった。

【0009】本発明の目的は、MIM構造の容量素子を有する半導体装置を小型化することが可能な技術を提供することにある。

【0010】本発明の他の目的は、MIM構造の容量素子の、半導体基板上に形成した時に単位面積当たりで得られる容量値(容量密度)を向上させることができ可能な技術を提供することにある。

【0011】本発明の他の目的は、MIM構造の容量素子を有する半導体装置を小型化し、前記半導体装置の製造コストを低減させることができ可能な技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

### 【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】(1) 半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、前記第1金属膜と第3金属膜が電気的に接続され、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量と、前記第2金属膜、第2絶縁膜、第3金属膜からなる第2容量が並列に接続されており、前記第2容量の容量として機能する容量真性部が、前記第1容量の容量として機能する容量真性部の内側に設けられているMIM構造の容量素子である。

【0015】(2) 半導体基板上に、n層(nは3以上の整数)の第1金属膜乃至第n金属膜が、それぞれの金属膜間にn-1層の第1絶縁膜乃至第n-1絶縁膜を介在して積層されており、前記第1金属膜乃至第n金属膜のうち、第2m-1金属膜(mは1から(n+1)/2までの整数)同士が電気的に接続され、かつ第2m金属膜同士が電気的に接続されており、第k金属膜(kは2からn-1までのいずれかの整数)、該第k金属膜上の第k絶縁膜及び第k+1金属膜により構成される第k容量の容量として機能する容量真性部が、前記第k金属膜の下層に設けられる第k-1金属膜、第k-1絶縁膜、第k金属膜により構成される第k-1容量の容量として機能する容量真性部の内側に設けられているMIM構造

の容量素子である。

【0016】(3) MIM構造の容量素子を有する半導体集積回路装置であって、前記MIM構造の容量素子は、半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、前記第1金属膜と第3金属膜が電気的に接続され、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量と、前記第2金属膜、第2絶縁膜、第3金属膜からなる第2容量が並列に接続されている。

【0017】(4) MIM構造の容量素子を有する半導体集積回路装置であって、前記MIM構造の容量素子は、半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、前記第2金属膜、第2絶縁膜、第3金属膜により構成される第2容量の容量として機能する容量真性部が、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量の容量として機能する容量真性部の内側に設けられている。

【0018】(5) MIM構造の容量素子を有する半導体集積回路装置であって、前記MIM構造の容量素子は、半導体基板上に、第1金属膜、第1絶縁膜、第2金属膜、第2絶縁膜、第3金属膜を順次積層してなり、前記第1金属膜と第3金属膜が電気的に接続され、前記第1金属膜、第1絶縁膜、第2金属膜により構成される第1容量と、前記第2金属膜、第2絶縁膜、第3金属膜からなる第2容量が並列に接続されており、前記第2容量の容量として機能する容量真性部が、前記第1容量の容量として機能する容量真性部の内側に設けられている。

【0019】(6) 前記手段(3)乃至(5)のいずれかのMIM構造の容量素子を有する半導体集積回路装置において、前記第1金属膜と第3金属膜の電気的接続はスルーホールを介してなされており、該スルーホールを介した電気的接続は前記第2金属膜の形成時に前記スルーホールに付着した金属によりなされている。

【0020】(7) MIM構造の容量素子を有する半導体集積回路装置であって、前記MIM構造の容量素子は、n層(nは3以上の整数)の第1金属膜乃至第n金属膜が、それぞれの金属膜間にn-1層の第1絶縁膜乃至第n-1絶縁膜を介在して積層されており、前記第1金属膜乃至第n金属膜のうち、第2m-1金属膜(mは1から(n+1)/2までの整数)同士が電気的に接続され、かつ第2m金属膜同士が電気的に接続されており、第k金属膜(kは2からn-1までのいずれかの整数)、該第k金属膜上の第k容量絶縁膜及び第k+1金属膜により構成される第k容量の容量として機能する容量真性部が、前記第k金属膜の下層に設けられる第k-1金属膜、第k-1絶縁膜、第k金属膜により構成される第k-1容量の容量として機能する容量真性部の内側に設けられている。

【0021】(8) 前記手段(7)のMIM構造の容量

素子を有する半導体集積回路装置において、前記第2m-1金属膜同士及び前記第2m金属膜同士の電気的接続はスルーホールを介してなされており、前記第2m-1金属膜同士の電気的接続は前記第2m金属膜の形成時に前記スルーホールに付着した金属によりなされており、前記第2金属膜同士の電気的接続は前記第2m-1金属膜の形成時に前記スルーホールに付着した金属によりなされている。

【0022】(9) 前記手段(3)乃至(8)のいずれかのMIM構造の容量素子を有する半導体集積回路装置において、前記MIM構造の容量素子の奇数番目及び偶数番目の金属膜の少なくとも一方と、半導体基板上に形成された他の素子の電極を接続する金属配線は、前記金属膜の一部が延長されている。

【0023】(10) 前記手段(9)の半導体集積回路装置において、前記金属配線は、前記奇数番目あるいは偶数番目の金属膜のうち、前記金属配線が属する方に対する他方の金属膜同士を電気的に接続するスルーホール内に存在している。

【0024】(11) 前記手段(3)乃至(8)のいずれかのMIM構造の容量素子を有する半導体集積回路装置において、前記MIM構造の容量素子の最上層に設けられる金属膜と、該金属膜上に保護絶縁膜を介在させて設けた金属配線が、前記金属膜上の保護絶縁膜に形成された開口部を介して接続される。

【0025】(12) 前記手段(3)乃至(11)のいずれかのMIM構造の容量素子を有する半導体集積回路装置において、前記MIM構造の容量素子の最上層に設けられる金属膜は、金(Au)膜を含む。

【0026】(13) 前記手段(11)または(12)のMIM構造の容量素子を有する半導体集積回路装置において、前記保護絶縁膜は、窒化シリコン膜を含む。

【0027】(14) 前記手段(3)乃至(13)のいずれかに記載のMIM構造の容量素子を有する半導体集積回路装置において、前記絶縁膜を介在して積層された金属膜のうち、少なくとも1層の金属膜の外周が、該金属膜下の絶縁膜を介した金属膜の外周と平面的に交差しない。

【0028】(15) 前記手段(3)乃至(14)のいずれかのMIM構造の容量素子を有する半導体集積回路装置において、前記第1金属膜は、金(Au)を含む金属膜を含む積層膜で、かつ前記第1金属膜上の前記第1絶縁膜との界面側がチタン(Ti)を含む金属膜である。

【0029】(16) 前記手段(15)のMIM構造の容量素子を有する半導体集積回路装置において、前記チタン(Ti)を含む金属膜は、チタン(Ti)膜、窒化チタン(TiN)膜、あるいはチタンとタングステン(W)の化合物膜のいずれかである。

【0030】(17) 前記手段(15)のMIM構造の

容量素子を有する半導体集積回路装置において、前記第1金属膜の前記金(Au)を含む金属膜と前記チタン(Ti)を含む金属膜間に、モリブデン(Mo)膜あるいは白金(Pt)膜を介在している。

【0031】以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。

【0032】なお、実施例を説明するための全図において、同一機能を有するものは、同一符号をつけ、その繰り返しの説明は省略する。

【0033】**【発明の実施の形態】(実施例1)** 図1及び図2は、本発明による実施例1のMIM構造の容量素子を有する半導体装置の概略構成を示す平面図及び模式断面図であり、図1は半導体装置に搭載されるMIM構造の容量素子の平面図、図2は図1のA-A'線断面図である。なお、図1の平面図では、MIM構造の容量素子(以下、MIM容量と称する)の部分の概略構成を、半導体装置表面に形成された表面保護膜を省略して示している。

【0034】図1及び図2において、1はGaAs基板、2は絶縁膜、3はMIM容量の第1電極、3Aは第1電極3の配線接続部、4は第1層間絶縁膜、5は第1容量絶縁膜、6はMIM容量の第2電極、7は引き出し線、8は第2層間絶縁膜、9は第2容量絶縁膜、10はMIM容量の第3電極、11は第1保護膜、12は第1金属配線、13は第2金属配線、14は表面保護膜、CO1は第1容量開口部、CO2は第2容量開口部、TH1は第1スルーホール、TH2は第2スルーホール、TH3は第3スルーホール、TH4は第4スルーホールである。なお、図1において、第1スルーホールTH1と第3スルーホールTH3は重なっており、第1金属配線12の外周と第1電極3の外周の一部は重なっている。

【0035】本実施例1のMIM容量は、図1及び図2に示すように、トランジスタやインダクター(図示しない)が形成されたGaAs基板1上に、金属膜からなる第1電極3、絶縁膜からなる第1容量絶縁膜5、金属膜からなる第2電極6、絶縁膜からなる第2容量絶縁膜9、金属膜からなる第3電極10が積層されており、前記第1電極3、第1容量絶縁膜5、第2電極6により構成される第1容量と、前記第2電極6、第2容量絶縁膜9、第3電極10により構成される第2容量が前記GaAs基板上に積層された2段構成になっている。本実施例1では、例えば、前記第1電極3としてモリブデン(Mo)膜及びアルミニウム(Al)膜の積層膜、前記第2電極6及び第3電極10としてモリブデン(Mo)膜、金(Au)膜、モリブデン(Mo)膜の積層膜、前記第1容量絶縁膜5及び第2容量絶縁膜9として酸化シリコン膜、窒化シリコン膜の積層膜を用いる。前記第1容量絶縁膜5及び第2容量絶縁膜9は、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜の積層膜などでもよい。

【0036】前記MIM容量の第1容量は、前記GaaS基板1上に形成された第1電極3と、前記第1電極3上に形成された第1層間絶縁膜4の第1容量開口部CO1及びその周辺に形成された第1容量絶縁膜5及び第2電極6により構成されている。前記第2容量は、前記第2電極6と、前記第2電極6上に形成された第2層間絶縁膜8の第2容量開口部CO2及びその周辺に形成された第2容量絶縁膜9及び第3電極10により構成されている。前記第1容量及び第2容量において、実際に容量として機能する領域（以下、容量真性部と称する）は、それぞれの層間絶縁膜の容量開口部の内部のみである。

【0037】前記第2層間絶縁膜8の第2容量開口部CO2は、図1に示すように、前記第1層間絶縁膜4の第1容量開口部CO1より小さく、かつ前記第1容量開口部CO1の内側に形成されている。すなわち、前記第2容量の容量真性部は、前記第1容量の容量真性部より小さく、前記第1容量の容量真性部の内側に形成されている。

【0038】前記第3電極10上に形成された第1保護膜11には第2スルーホールTH2が開口されており、前記第3電極10と、前記GaaS基板1上に形成されたトランジスタやインダクタなどの素子とを接続する第1金属配線12が形成されている。前記第2スルーホールTH2は、図1に示すように、前記第2容量開口部CO2よりも小さく、かつ第2容量開口部CO2の内側に形成される。

【0039】前記第1電極3は、前記第2電極6及び第3電極10と重ならない位置に引き出された配線接続部3Aを有し、前記第1電極3の配線接続部3A上の前記第1層間絶縁膜4を開口した第1スルーホールTH1に形成された引き出し線7により、第1層間絶縁膜4上に引き出されている。前記引き出し線7は、前記引き出し線7上の第2層間絶縁膜8及び第1保護膜11を開口した第3スルーホールTH3を介して、前記第1金属配線12と接続している。

【0040】一方、前記第2電極6は、前記第1電極3の配線接続部3A及び第3電極10と重ならない位置に引き出された配線接続部6Aを有し、前記第2電極の配線接続部6A上の第2層間絶縁膜8及び第1保護膜11を開口した第4スルーホールTH4を介して、前記第1保護膜上に形成された第2金属配線13と接続される。前記第2金属配線13は、前記GaaS基板1上に形成されたトランジスタやインダクター等であって、前記第1金属配線12により接続されると素子は異なる素子と接続される。すなわち、前記GaaS基板1上に積層された第1容量と第2容量は、前記第1金属配線12と前記第2金属配線13との間に並列に接続されていることになる。

【0041】前記MIM容量が形成されたGaaS基板1の表面は、第2保護膜（表面保護膜）14が形成さ

れ、前記MIM容量を含む他の素子及び金属配線の保護をしている。

【0042】図3乃至図5は本実施例1のMIM構造の容量素子の各製造工程における平面図である。

【0043】以下、本実施例1のMIM容量の製造方法について図3乃至図5に沿って簡単に説明する。本実施例1のMIM容量を有する半導体装置には、トランジスタ、抵抗等の素子も形成されているが、それらの製造方法については省略する。また、図3乃至図5の断面の構成については図2の模式断面図を参照するものとする。

【0044】まず、トランジスタや抵抗等の素子が形成されたGaaS基板1上に、絶縁膜2を形成した後、図3に示すように、リフトオフ法を用いて、配線接続部3Aが設けられた第1電極3を形成する。前記第1電極3は、前記GaaS基板1との接着性を良くするために、モリブデン（Mo）膜、及びアルミニウム（Al）膜を順次積層して形成する。前記絶縁膜2は、例えば厚さ約0.5ミクロンのシリコン酸化膜をCVD（Chemical Vapor Deposition）法により形成する。また、前記絶縁膜2はリン（P）を含んだPSG（Phospho Silicate Glass）膜であっても良い。

【0045】次に、図4に示すように、第1層間絶縁膜4を形成し、エッチングにより前記第1層間絶縁膜4に、前記第1電極3上の第1容量開口部CO1、及び第1電極3の配線接続部3A上の第1スルーホールTH1を開口し、前記第1容量開口部CO1及びその周辺に窒化シリコン膜、シリコン酸化膜からなる第1容量絶縁膜5を形成した後、配線接続部6Aを持つ第2電極6及び前記第1スルーホールTH1内の引き出し線7を形成する。このとき、前記第2電極6の配線接続部6Aは、図4に示すように、前記第1電極3の配線接続部3Aと重ならない位置に形成する。

【0046】前記第1層間絶縁膜4は、例えば、厚さ約0.8ミクロンのPSG膜をCVD法により形成する。また、前記第1層間絶縁膜4はシリコン酸化膜であっても良い。前記第1容量絶縁膜5は、酸化シリコン膜及び窒化シリコン膜を、PCVD（Plasma CVD）法により順次積層した後、エッチングして形成する。前記第2電極6及び引出し線7は、例えば、Mo膜、Au膜、Mo膜を順次積層した後、同時にエッチングして所望のパターンに形成する。

【0047】次に、図5に示すように、全面に第2層間絶縁膜8を形成し、エッチングにより前記第2層間絶縁膜8に、前記第2電極6上の第2容量開口部CO2を開口し、前記第2容量開口部CO2及びその周辺に第2容量絶縁膜9を形成した後、第3電極10を形成する。前記第2容量開口部CO2は、前記第1層間絶縁膜4に形成した第1容量開口部CO1よりも小さくし、前記第1容量開口部CO1の内側に形成する。すなわち、前記第2容量開口部CO2内の第2電極6、第2容量絶縁膜、

第3電極により構成される第2容量の容量真性部が、前記第1容量開口部CO1内の第1電極3、第1容量絶縁膜5、第2電極6により構成される第1容量の容量真性部の内側に形成されるようとする。

【0048】前記第2層間絶縁膜8は、例えば厚さ約0.5ミクロンのPSG膜をCVD法により形成する。また、前記第2層間絶縁膜8はシリコン酸化膜であっても良い。前記第2層間絶縁膜9は酸化シリコン膜及び窒化シリコン膜の積層膜で、PCVD法により順次積層した後、エッチングして形成する。前記第3電極10は、例えばMo膜、Au膜、Mo膜を順次積層した後、エッチングして形成する。

【0049】このとき、前記第3電極10の外周部が、前記第2電極6の外周部、特に前記第2電極6の配線接続部6Aの外周部と平面的に交わらないように形成する。

【0050】次に、全面に第1保護膜11を形成した後、エッチングにより前記第3電極10上の配線接続用の第2スルーホールTH2、前記引き出し線7上の第3スルーホールTH3、前記第2電極6の配線接続部6A上の第4スルーホールTH4を形成した後、前記第3電極10及び前記第1電極3から引き出された引き出し線7とを前記GaAs基板1上に形成された他の素子と接続する第1金属配線12、及び前記第2電極6と前記GaAs基板1上に形成された他の素子とを接続する第2金属配線13を形成する。前記第1保護膜11は耐湿性の高い窒化シリコン膜などで形成する。前記第1金属配線12及び第2金属配線13は、例えばMo膜、Au膜を順次積層した後、エッチングして形成する。

【0051】図6は、本実施例1のMIM構造の容量素子の作用効果を説明するための図であり、Xは第3電極10の外周と第2電極6の交差部である。

【0052】図6に示すように、前記第3電極10を形成したときに、前記第3電極10の外周と前記第2電極6の配線接続部6A付近の外周に平面的な交差部Xができると、前記第2電極6側面の段差部で生じるエッチ残りにより、前記第2電極6と前記第3電極10のショート不良を起こす可能性がある。すなわち、後の工程で前記第2電極6の配線接続部6A上に形成される前記第4スルーホールTH4が、図6に示すように合わせずれにより前記配線接続部6Aからずれ落ちた場合、前記第2金属配線13と前記第3電極10がショートする。その結果、前記第2電極6と第3電極10がショートする。そのため、図5に示すように、前記第3電極10の外周部が第2電極6の外周部と交わらないようにする。

【0053】最後に、ポリイミド樹脂などで厚さ約2ミクロンの表面保護膜14を形成する。

【0054】以上の手順に沿って、第1電極3、第1容量絶縁膜5、第2電極6からなる前記第1容量と、第2電極6、第2容量絶縁膜9、第3電極10からなる前記

第2容量を前記GaAs基板1上に積層し、前記第1電極3と第3電極10を第1スルーホールTH1及び第3スルーホールTH3を介して電気的に接続し、前記第1電極3及び第3電極10を第1金属配線12により、前記GaAs基板1上に形成された他の素子と接続し、前記第2電極6を第2金属配線13により、前記第1金属配線12とは異なる素子と接続することで、前記第1容量及び第2容量を並列に接続することになる。このとき、前記第1容量及び第2容量は、前記GaAs基板1上に積層されているので、前記MIM容量の前記GaAs基板1上に形成した時に単位面積当たりで得られる容量値（容量密度）を高くすることができる。

【0055】本実施例1のMIM容量では、例えば、前記第1容量の容量密度は200pF/mm<sup>2</sup>、第2容量の容量密度は350pF/mm<sup>2</sup>となり、前記第1容量及び第2容量をGaAs基板1上に積層することにより550pF/mm<sup>2</sup>の容量密度を持つMIM容量として用いることができる。

【0056】ここで、前記第1容量の容量密度が前記第2容量の容量密度より低いのは、前記第1容量の第1電極3にAl膜を用いているためであり、前記Al膜上に生じる突起（ヒロック）による容量の破壊耐圧の低下を防ぐために前記第1容量絶縁膜5を200nm以上の厚さにしなければならないためである。

【0057】また、前記第2層間絶縁膜8の第2容量開口部CO2を、前記第1層間絶縁膜4の第1容量開口部CO1よりも小さく、かつ前記第1容量開口部CO1の内側に形成することにより、上層に形成される第2容量の容量真性部を平坦に形成することができる。そのため、前記第2容量絶縁膜9の膜質及び膜厚を均一にすることができる、前記MIM容量の破壊耐圧、信頼性が向上する。

【0058】また、前記第3電極10を耐腐食性の高いAu膜を含む積層膜で形成し、かつ前記第3電極10上の耐湿性の高い前記第1保護膜11に形成された第2スルーホールTH2を介して、前記第3電極10と第1金属配線12と接続しているため、外部からの水分の侵入などによる前記第1金属配線12からの腐食の進行を、前記第3電極10上で阻止することができ、前記MIM容量の信頼度の低下を防ぐことができる。前記第3電極10は、前記Au膜以外の耐腐食性のある金属膜を含む積層膜であってもよい。

【0059】図7は本実施例1のMIM構造の容量素子の変形例を示す模式断面図であり、図2に示す断面図と対応する図である。

【0060】前記本実施例1のMIM容量では、図2に示すように、前記第3電極10上に前記第1金属配線12を設けたが、これに限らず、図7に示すように、前記第3電極10を第3スルーホールTH3上まで延長し、前記第1金属配線12の変わりに前記第3電極10によ

り前記第1電極3からの引き出し線7と接続することもできる。

【0061】この場合、前記第3電極10上に第2スルーホールTH2は設ける必要がないため、前記第3電極10上に形成される第1保護膜11は開口されていない。前記第1保護膜11は窒化シリコン膜を含む積層膜からなり、大面積の前記第3電極10上を全面覆っているため、窒化シリコン膜の応力を抑えるようにしないと、前記第1保護膜11が第3電極10から剥離しやすくなる。本実施例1のように前記第3電極10の上層をM○膜とした場合、前記M○膜の製造過程での酸化等により必ずしも前記第1保護膜11との密着性がよくない。

【0062】また、プラズマCVD法により形成した窒化シリコン膜の応力は、酸化シリコン膜などに比べると比較的高いため、前記第3電極10の上部で前記窒化シリコン膜、すなわち第1保護膜11が剥離しやすくなるので、例えば、窒化シリコン膜の膜厚を抑えるなどの方法が必要となる。

【0063】一方、前記図2に示したような構成のMIM容量では、前記第3電極10上の第1保護膜11は前記第2スルーホールTH2を開口することにより除去されているので、前記第1保護膜11が第3電極10から剥離しやすいという問題も解決されている。

【0064】また、前記図2に示したような構成のMIM容量では、前記第3電極10に接続する第1金属配線12を設け、第3スルーホールTH3で前記第1電極3からの引き出し線7と接続した後、他の素子と接続している。他の素子への配線方法としては、前記第1金属配線12の代りに第3電極10を延長して接続してもよいし、図7に示すように、第2電極6と同時に形成した引き出し線7から延長させた配線部7Aを用いて接続してもよい。また、図7に示したように、前記第1金属配線12の代りに第3電極10により前記第1電極3からの引き出し線7と接続する場合にも、前記第3電極10を延長して他の素子と接続してもよい。すなわち、前記第1電極3と第3電極10が電気的に接続されれば、他の素子への配線はどの電極（金属膜）を延長させて行ってもよい。

【0065】同様に、前記図2に示したような構成のMIM容量では、前記第2電極6を第4スルーホールTH4を介して第2金属配線13と接続し、他の素子に配線しているが、これに限らず、図7に示すように、前記第2電極6をそのまま延長して他の素子への配線として用いてもよい。

【0066】以上のようなことから、前記MIM容量から他の素子への配線方法の自由度が高いため、前記MIM容量と接続する他の素子の近傍に別途スルーホールを設ける必要がないなど、半導体集積回路装置の面積を小さくレイアウトすることができる。

【0067】また、前記第1電極3の配線接続部3A上に第1スルーホールTH1、第3スルーホールTH3を設けることにより、それぞれのスルーホールが深くなりすぎることを防げる。すなわち、第1スルーホールTH1と第3スルーホールTH3を一度に形成して第1金属配線12と第1電極3を接続するよりも、前記第1スルーホール内に引出し線7を形成したほうが、前記第1金属配線12のカバレジが良好になり、製造上安定した電気的接続をすることができる。なお、図1及び図2に示したMIM容量では、第1スルーホールTH1、第3スルーホールTH3が同一のレイアウト形状となっているが、製造プロセスの作りやすさに応じてそれぞれの形状を変えたり、位置をずらして形成してもよい。

【0068】図8は本実施例1のMIM構造の容量素子を搭載した半導体集積回路装置の概略構成を示す模式平面図である。

【0069】図8において、C1、C2はそれぞれMIM容量、L1、L2、L3はそれぞれインダクター、F1、F2はそれぞれ電界効果型トランジスタ(FET)、P1、P2、P3、P4、P5、P6はそれぞれボンディングパッド、W1は電界効果型トランジスタF1と電極パッドW1を接続する金属配線、W2、W3、W4はMIM容量に接続される金属配線である。なお、図8では、金属配線W1、W2、W3、W4以外の金属配線及び抵抗素子は省略している。

【0070】本実施例1のMIM容量を搭載した半導体集積回路装置は、図8に示すように、例えば、携帯電話機などの受信系回路において、電源電圧の平滑化、雑音指数の劣化を防ぐためのバイパスコンデンサ等として用いられる第1MIM容量C1及び第2MIM容量C2の2つのMIM容量が搭載されている。例えば、前記第1MIM容量C1の容量値は4.0pF、MIM容量C2の容量値は8pFである。本実施例1のMIM容量の容量密度は、例えば、5.50pF/mm<sup>2</sup>であるため、前記GaAs基板1上における第1MIM容量C1と第2MIM容量C2の2つのMIM容量の形成面積は0.087mm<sup>2</sup>になる。

【0071】前記GaAs基板1(半導体装置)の大きさは、縦0.67mm、横0.67mmで面積は0.449mm<sup>2</sup>であるため、前記GaAs基板1上のMIM容量の占有面積は全体の約19パーセントとなる。

【0072】従来のMIM容量は、例えば、GaAs基板1上に形成した時に単位面積あたりで得られる容量値(容量密度)が約200pF/mm<sup>2</sup>なので、容量値4.8pFのMIM容量を形成するためには、0.24mm<sup>2</sup>の面積が必要となり、図8に示したような、本実施例1のMIM容量を搭載した半導体集積回路装置と同等の機能を有する半導体集積回路装置を作成する場合には面積が0.86mm<sup>2</sup>のGaAs基板1が必要であった。すなわち、並列に接続されるMIM容量をGaAs基板

1上に積層することにより、GaN基板1上に形成した時に単位面積当たりで得られる容量値（容量密度）が高くなるので、前記GaN基板1上のMIM容量の形成面積を小さくできる。そのため、前記GaN基板1（半導体装置）を小型化することができる。

【0073】また、図8に示した金属配線W1のように、例えば前記第1MIM容量C1の外周に沿ったような金属配線のレイアウトの場合、前記GaN基板1上における前記第1MIM容量C1の形成面積を小さくすることにより、前記金属配線W1の配線長も短くできる。すなわち、GaN基板上におけるMIM容量の形成面積を小さくすることにより、金属配線を短くするとともに、金属配線のレイアウト設計に自由度ができ、MMIC等の半導体集積回路装置の小型化が容易になり、特に、前記金属配線の太さが30ミクロンから50ミクロンの太い配線の場合に有効である。

【0074】さらに、図8に示した半導体集積回路装置では、前記第1MIM容量C1へ接続した金属配線W2、W3、W4のうち、金属配線W2は第1MIM容量C1の第1電極3と同一金属で形成されており、第1MIM容量C1の一部を延長して金属配線として用い、前記金属配線W1を前記第1電極3と同一金属で形成することにより、前記第1MIM容量C1を迂回した配線を別途設けなくても金属配線W1と金属配線W2を接続することができる。

【0075】また、前記金属配線W4は前記図2に示したMIM容量の第1金属配線12と接続されている。前記第1金属配線は前記第1MIM容量C1の第3電極10と前記第1MIM容量C1が有する第3スルーホールTH3及び第1スルーホールTH1を介して第1電極3と電気的に接続されている。そのため、前記金属配線W4は別途スルーホールを設けることなく、金属配線W1、W2と結線することができる。

【0076】なお、図8において、前記第1MIM容量C1が多角形になっているのは、実際には3個の小容量が並列に接続された構造になっており、それぞれの小容量の第1容量開口部CO1も6角以上の多角形になっているためである。前記第1MIM容量C1内には、第3電極10と第1電極3の電気的接続部である第1スルーホールTH1及び第3スルーホールTH3は一箇所のみ設けられている。それぞれの小容量の第2容量開口部CO2は前記第1容量開口部CO1の一回り内側に3個設けられている。すなわち、前記図1及び図2に示したMIM容量では、第1電極3上に設ける第1容量開口部CO1は一つであるが、これに限らず、開口部が前記第1電極3の内側であれば、複数個設けても良い。

【0077】また、前記金属配線のレイアウト設計以外にも、インダクタL1、L2、L3、及び電界効果型トランジスタF1、F2等の素子のレイアウト設計の自由度も高くなるので、前記金属配線のレイアウト設計の自

由度がさらに向上し、前記金属配線の配線長を短くした効率の良い配線を行うことができる。

【0078】以上説明したように、本実施例1によれば、並列に接続された2つのMIM容量を半導体基板上に積層することにより、半導体基板上に形成した時に単位面積当たりで得られる容量値（容量密度）を高くすることができる。そのため、半導体基板上における前記MIM容量の形成面積を小さくして半導体集積回路装置を小型化することが可能となる。

【0079】前記MIM容量の前記第2容量開口部CO2は前記第1容量開口部CO1よりも内側に形成されており、前記第2容量開口部CO2内の第2容量の容量として機能する部分（容量信性部）が平坦になり、前記第2容量の容量真性部の第2容量絶縁膜9の膜質、膜厚が均一を形成することができ、前記MIM容量の破壊耐圧、信頼性が向上する。

【0080】また、前記第3電極10と第1金属配線12が別々に形成されており、前記第1金属配線12をMo膜、Au膜を順次積層した2層膜で形成し、前記第3電極10をAu膜を含む積層膜とすることにより、外部からの水分等の侵入による、前記第1金属配線12の腐食からの進行を前記第3電極10上で阻止することができ、前記MIM容量の信頼度の低下を防ぐことができる。

【0081】以上のようなことから、半導体基板上における前記MIM容量の形成面積を小さくして、半導体集積回路装置を小型化するとともに、前記MIM容量の信頼性の低下を防ぎ、製造歩留まりを向上させることができるために、前記半導体集積回路装置の製造コストを低減させることができる。

【0082】また、本実施例1のMIM容量では、前記第1電極3にAl膜を用いているため、前記Al膜上に発生する突起（ヒロック）による前記第1容量の破壊耐圧の低下を防ぐために、前記第1容量絶縁膜5の膜厚が厚くなっている。そのため、前記第1容量の容量密度は前記第2容量の容量密度に比べて低くなっている。前記Al膜の替わりに、Au膜を含み、かつ前記第1容量絶縁膜5との界面側がチタン（Ti）を含む金属膜である積層膜を前記第1電極3として用いることもできる。前記第1電極3を前記Au膜を含む積層膜とすることにより、前記Al膜のような突起（ヒロック）の発生がなくなり、前記第1容量絶縁膜5を薄くして前記第1容量の容量密度を高くすることができる。また、前記第1電極3の前記第1容量絶縁膜5との界面側にTiを含む金属膜を用いることにより、前記第1電極3と第1容量絶縁膜5との接着性が向上し、製造歩留まりが向上する。前記第1容量絶縁膜5との界面に形成されるチタン（Ti）を含む金属膜としては、単体のTi膜、窒化チタン（TiN）膜、Tiとタンゲステン（W）の化合物膜等があげられる。このとき、前記Tiを含む金属膜と、A

u膜との間に、M o膜や、P t膜を挿入しても良い。

【0083】また、前記実施例1のM I M容量は、前記第1容量絶縁膜5及び第2容量絶縁膜9として、窒化シリコン膜及びシリコン酸化膜の積層膜を用いたが、これに限らず、前記第1容量絶縁膜5及び第2容量絶縁膜9として、チタン酸ストロンチウム(SrTiO<sub>3</sub>; STO)膜を用いても良い。また、前記第1電極3及び中間配線15として、チタン膜、金膜、チタン膜、白金膜を順次積層した4層膜、前記第2電極6及び第3電極10として、白金膜、チタン膜、金膜、チタン膜を順次積層した4層膜をそれぞれ用いることで、さらに容量密度を高くすることが可能である。  
10

【0084】なお、前記実施例1では、前記第1層間絶縁膜4あるいは第2層間絶縁膜8に容量開口部を形成した後に、第1容量絶縁膜5あるいは第2容量絶縁膜9を形成したが、これに限らず、前記第1電極3上に直接第1容量絶縁膜5を形成してもよい。

【0085】図9及び図10は前記実施例1の変形例の概略構成を示す図であり、図9はM I M構造の容量素子の平面図、図10は図9のB-B'線での模式断面図である。  
20

【0086】図9及び図10において、1はG a A s基板、2は絶縁膜、3は第1電極、3Aは第1電極3の配線接続部、4は第1層間絶縁膜、5は第1容量絶縁膜、6は第2電極、7は引き出し線、9は第2容量絶縁膜、10は第3電極、11は第1保護膜、12は第1金属配線、13は第2金属配線、14は第2保護膜(表面保護膜)、15は中間配線、15Aは中間配線の配線接続部、TH1は第1スルーホール、TH2は第2スルーホール、TH3は第3スルーホール、TH4は第4スルーホール、TH5は第5スルーホールである。なお、図9において、第1スルーホールTH1と第3スルーホールTH3は重なっており、第1金属配線12の外周と第1電極3の外周も重なっているとする。  
30

【0087】図9及び図10に示した前記M I M容量は、トランジスタやインダクタ等(図示しない)が形成されたG a A s基板1上に、金属膜からなる第1電極3、絶縁膜からなる第1容量絶縁膜5、金属膜からなる第2電極6、金属膜からなる中間配線15、絶縁膜からなる第2容量絶縁膜9、金属膜からなる第3電極10を積層し、第1電極3、第1容量絶縁膜5、第2電極6により構成される第1容量と、前記第2電極6上に、第1層間絶縁膜4に形成された第5スルーホールTH5を介した接続された中間配線15、第2容量絶縁膜9、第3電極10により構成される第2容量が積層された2段構成となっている。本実施例2では、前記第1電極3は、チタン(T i)膜、白金(P t)膜、金(A u)膜、P t膜、T i膜を順次積層した5層膜からなり、前記第3金属配線は、モリブデン(M o)膜、A u膜、M o膜、T i W膜を順次積層した4層膜からなるものとする。ま  
40

た、前記第1容量絶縁膜5及び第2容量絶縁膜9は窒化シリコン膜、酸化シリコン膜の積層膜からなるものとする。

【0088】前記第2容量の第3電極10は、前記実施例1と同様に、前記第3電極上の第1保護膜11に形成された第2スルーホールTH2を介して第1金属配線12と接続されている。また、前記第1金属配線12は、前記第1電極3の配線接続部3A上に形成される第1スルーホールTH1及び第3スルーホールTH3を介して前記第1電極3とも電気的に接続されている。また、前記第2電極6と接続された前記中間配線15には、前記第1電極3の配線接続部3Aとは異なる位置に引き出された配線接続部15Aが設けられており、前記中間配線15の前記配線接続部15A上に形成された第4スルーホールTH4を介して第2金属配線13と接続される。  
10

【0089】図9及び図10に示したM I M容量では、層間絶縁膜に容量開口部を設げずに、前記第1電極3上に直接第1容量絶縁膜5及び第2電極6を形成し、前記第2電極6と接続される中間配線15上の平坦な領域に第2容量絶縁膜9及び第3電極10を形成しており、図9に示すように、前記第1容量絶縁膜5及び第2電極6全体が第1容量の容量として機能する部分(容量真性部)となり、前記第2容量絶縁膜9及び第3電極10全体が第2容量の容量として機能する部分(容量真性部)となる。この場合においても、前記第2容量の容量真性部は、前記第1容量の容量真性部より小さく、かつ第1容量の容量真性部の内側に形成されている。

【0090】以下、図9及び図10に示したM I M容量の製造方法について簡単に説明する。

【0091】まず、トランジスタ、インダクタ等が形成されたG a A s基板1上に絶縁膜2を形成した後、前記絶縁膜2上にイオンミリング法により、T i膜、P t膜、A u膜、P t膜、T i膜を順次積層して配線接続部3Aを有する第1電極3を形成する。前記第1電極3はイオンミリング法の替わりにリフトオフ法で形成してもよい。  
30

【0092】次に、P CVD法により窒化シリコン膜、シリコン酸化膜を積層し、続けてW S i膜を積層した後、パターニングして前記酸化シリコン膜、窒化シリコン膜からなる第1容量絶縁膜5及び前記W S i膜からなる第2電極6を形成する。  
40

【0093】次に、全面に第1層間絶縁膜4を形成し、前記第2電極6上の第5スルーホールTH5及び前記第1電極3の配線接続部3A上の第1スルーホールTH1を開口し、M o膜、A u膜、M o膜、T i W膜を順次積層した後、パターニングして配線接続部15Aを有する中間配線15及び前記第1電極3の引き出し線7を形成する。このとき、前記中間配線15の配線接続部15Aは前記第1電極3の配線接続部3Aと重ならない位置に引き出す。  
50

【0094】次に、P C V D法により窒化シリコン膜、シリコン酸化膜を積層し、続けてM o膜、A u膜、M o膜を順次積層した後、パターニングして前記酸化シリコン膜、窒化シリコン膜からなる第2容量絶縁膜9及びM o膜、A u膜、M o膜からなる第3電極10を形成する。このとき、前記第2容量絶縁膜9及び第3電極10が、前記第2電極6の内側で、かつ前記中間配線15の平坦部に形成されるようにパターニングする。

【0095】次に、全面に第1保護膜11を形成し、前記第3電極10上の第2スルーホールTH2、前記引き出し線7上の第3スルーホールTH3、及び前記中間配線15の配線接続部15A上の第4スルーホールTH4を開口し、M o膜、A u膜を順次積層した後、パターニングして第1金属配線12及び第2金属配線13を形成する。前記第1金属配線12は、前記第2スルーホールTH2を介して第3電極10と接続されるとともに、前記第3スルーホールTH3を介して、前記第1電極3から引き出された前記引き出し線7と接続される。また、前記第2金属配線13は、前記第4スルーホールTH4を介して前記中間配線15と接続される。そのため、前記第1金属配線12と第2金属配線13の間に、並列に接続された前記第1容量及び第2容量がG a A s基板1上に積層されることになり、前記M I M容量を前記G a A s基板1上に形成した時に単位面積当たりで得られる容量値（容量密度）を高くすることができる。そのため、前記M I M容量の形成面積を小さくして、半導体集積回路装置を小型化することができる。

【0096】さらに、前記第1電極3及び中間配線15がアルミニウム（A l）膜を含まないので、それぞれの表面に突起（ヒロック）が発生することがなく、前記第1容量絶縁膜5及び第2容量絶縁膜9を、ともに薄膜化することができ容量密度を高くすることができる。例えば、前記第1容量及び第2容量のそれぞれの容量密度を約300 p F/mm<sup>2</sup>から500 p F/mm<sup>2</sup>とすることができるので、前記G a A s基板1上に形成したときに単位面積当たりで得られる容量値（容量密度）が約600 p F/mm<sup>2</sup>から1000 p F/mm<sup>2</sup>のM I M容量を得ることができ。そのため、前記M I M容量の形成面積をさらに縮小して、半導体集積回路装置を小型化することができる。

【0097】また、前記第1電極3の第1容量絶縁膜5との界面、及び前記中間配線15の第2容量絶縁膜9との界面には、それぞれチタン（T i）を含む金属膜が形成されているため、前記第1電極3と第1容量絶縁膜5の接着性、及び前記中間配線15と第2容量絶縁膜9の接着性が向上し、製造歩留まりが向上する。

【0098】また、前記実施例1の場合、前記第1層間絶縁膜4を先に形成し、前記第1層間絶縁膜4に第1容量開口部C O 1を設け、その内部に第1容量絶縁膜5を形成しており、前記第1容量開口部C O 1の外周部分

で、前記第1容量絶縁膜5が前記第1層間絶縁膜4上に乗り上げる形になるため、前記第1容量の容量真性部の外周付近で膜厚が不均一になり前記M I M容量の信頼性が低下する可能性がある。そのため、図9及び図10に示したM I M容量のように、前記第1電極3上に先に第1容量絶縁膜5及び第2電極6を形成することにより、前記第1容量絶縁膜5の外周部分においても膜厚を均一にできることで、M I M容量の信頼性の低下を防ぐことができる。

【0099】（実施例2）図11及び図12は本発明による実施例2のM I M構造の容量素子を有する半導体装置の概略構成を示す平面図及び模式断面図であり、図11は平面図、図12は図11のC-C'線断面図である。なお、図11の平面図では、半導体基板上に積層される絶縁膜は省略しており、前記M I M容量の電極となる金属膜及び、金属配線の構成を示している。

【0100】図11及び図12において、C O 1は第1容量開口部、C O 2は第2容量開口部、C O 3は第3容量開口部、TH1は第1スルーホール、TH2は第2スルーホール、TH6は第6スルーホール、TH7は第7スルーホール、TH8は第8スルーホール、TH9は第9スルーホール、1はG a A s基板、2は絶縁膜、3は第1電極、3Aは第1電極3の配線接続部、4は第1層間絶縁膜、5は第1容量絶縁膜、6は第2電極、6Aは第2電極6の配線接続部、7は第1引き出し線、8は第2層間絶縁膜、9は第2容量絶縁膜、10は第3電極、10Aは第3電極10の配線接続部、11は第1保護膜、12は第1金属配線、13は第2金属配線、14は第2保護膜（表面保護膜）、16は第2引き出し線、17は第3層間絶縁膜、18は第3容量絶縁膜、19は第4電極である。図11において、第1スルーホールTH1、第6スルーホールTH6、第8スルーホールTH8は同じ位置に形成されているため重ねて示しており、前記第7スルーホールTH7、第9スルーホールTH9も同様に重ねて示してある。

【0101】本実施例2のM I M容量は、図11及び図12に示すように、G a A s基板1上に形成された第1電極3上に、第1容量絶縁膜5、第2電極6、第2容量絶縁膜9、第3電極10、第3容量絶縁膜18、第4電極19が順次積層されている。前記第1電極3、第2電極6、第3電極10、第4電極19のそれぞれ金属膜からなり、前記第1容量絶縁膜5、第2容量絶縁膜9、第3容量絶縁膜18のそれぞれ絶縁膜からなり、第1電極3、第1容量絶縁膜5、第2電極6からなる第1容量と、第2電極6、第2容量絶縁膜9、第3電極10からなる第2容量と、第3電極10、第3容量絶縁膜18、第4電極19からなる第3容量がG a A s基板1上に積層された3段構成のM I M容量である。本実施例2のM I M容量の基本的な構成は、前記実施例1の2段構成のM I M容量と同様であるため、その詳細な説明は省

略する。

【0102】本実施例2のMIM容量では、図11に示すように、第3容量開口部CO3は第2容量開口部CO2の内側に形成され、前記第2容量開口部CO2は第1容量開口部CO1の内側に形成される。

【0103】また、図12に示すように、前記第4電極19は、前記第4電極19上に形成される第1保護膜11に開口された第2スルーホールTH2を介して第1金属配線12と接続され、前記第2電極6は、配線接続部6A上に形成された第7スルーホールTH7により引き出された第2引き出し線16が前記第2引き出し線16上に形成される第9スルーホールTH9を介して前記第1金属配線12と接続されている。

【0104】一方、前記第1電極3の配線接続部3A上の第1スルーホールTH1により引き出された第1引き出し線7は、第6スルーホールTH6を介して前記第3電極10の配線接続部10Aに接続されるとともに、前記第3電極10は、配線接続部10A上に形成された第8スルーホールTH8を介して第2金属配線13と接続される。すなわち、前記第1容量、第2容量、第3容量の3つの容量が並列に接続され、前記GaaS基板1上に積層されている。

【0105】本実施例2のMIM容量のように並列に接続される前記第1容量、第2容量、第3容量を前記GaaS基板1上に積層することにより、前記GaaS基板1上に形成した時に単位面積当たりで得られる容量値（容量密度）を高くすることができる。そのため、前記MIM容量の形成面積を小さくして、半導体装置を小型化することができる。

【0106】また、前記第2容量の容量真性部は前記第1容量の容量真性部より小さく、かつ第1容量の容量真性部の内側に形成されており、同様に、前記第3容量の容量真性部は、前記第2容量の容量真性部より小さく、かつ第2容量の容量真性部の内側に形成されている。そのため、それぞれの容量の容量真性部が平坦になるため、それぞれの容量の容量真性部の膜質及び膜厚を均一に形成できるために、容量の破壊耐圧、信頼度が向上する。

【0107】また、前記第1電極3を、Au膜を含む積層膜とし、前記第1容量絶縁膜5との界面に、Ti膜、TiW膜、TiN膜等のチタン（Ti）を含む金属膜を形成することにより、従来のアルミニウム（Al）電極のような突起（ヒロック）の発生を防ぎ、前記第1容量絶縁膜5の膜厚を薄くできるので、前記MIM容量の容量密度を高くすることができる。そのため、前記MIM容量の形成面積を小さくし、半導体装置を小型化することができる。このとき、前記チタン（Ti）を含む金属膜と、Au膜との間に、Mo膜や、Pt膜を挿入しても良い。

【0108】また、前記実施例1と同様に、最上層に形

50

成される前記第4電極19と第1金属配線12が別々に形成されており、前記第1金属配線12をMo膜、Au膜を順次積層した2層膜で形成し、前記第4電極19をAu膜を含む積層膜とすることにより、外部からの水分等の侵入による、前記第1金属配線12の腐食からの進行を前記第4電極19上で阻止することができ、前記MIM容量の信頼度の低下を防ぐことができる。

【0109】なお、前記実施例2では、4層の金属膜を積層させた3段構成のMIM容量について説明したが、これに限らず、一般にnを3以上の整数とする第1電極から第n電極までのn層の電極を積層したMIM容量においても、前記第1電極から第n電極間でのうち、第2m-1電極（mは1から（n+1）/2までの整数）同士を電気的に接続し、第2m同士を電気的に接続しても良い。ここで、前記nが3の場合は、前記実施例1で説明したような構成のMIM容量となり、前記第2m電極に該当する電極が第2電極のみであるが、前記第2電極自身が前記第2m電極同士の電気的接続を満たしている。

【0110】前記n層の電極を積層したMIM容量の場合、半導体基板上に順次積層される第1電極から第n電極までの各電極の配線接続部を、第2m-1電極の各電極の配線接続部同士が重なるようにして、前記第2m-1電極同士の電気的接続を各電極間の層間絶縁膜に形成されるスルーホールを介して行い、前記第2m-1電極の各電極の配線接続部と重ならない位置で第2m電極の各電極の配線接続部同士が重なるようにして、前記第2m電極同士の電気的接続を各電極間の層間絶縁膜に形成されるスルーホールを介して行い、最上層の第n電極は、前記第n電極上の第1保護絶縁膜に設けられたスルーホールを介して接続される第1金属配線により、第n-2電極と接続し、第n-1電極を第2金属配線と接続することにより、並列に接続されたn-1個の容量を前記半導体基板上に積層したMIM容量となり、半導体基板上に形成した時に単位面積当たりで得られる容量値（容量密度）を高くすることができる。そのため、前記MIM容量の形成面積を小さくし、半導体装置を小型化することができる。

【0111】また、第k電極、第k容量絶縁膜、第k+1容量（kは2からn-1までの整数）からなる第k容量の容量真性部が、その下層の第k-1電極、第k-1容量絶縁膜、第k電極からなる第k-1容量の容量真性部より小さく、かつ第k-1容量の容量真性部の内側に形成することで、それぞれの容量の容量真性部が平坦になり、それぞれの容量の容量真性部において、容量絶縁膜の膜質及び膜厚を均一に形成できるため、前記MIM容量の破壊耐圧、信頼度が向上する。

【0112】また、前記第1電極3を、Au膜を含む積層膜とし、前記第1容量絶縁膜5との界面に、Ti膜、TiW膜、TiN膜等のチタン（Ti）を含む金属膜を

形成することにより、従来のアルミニウム(A1)電極のような突起(ヒロック)の発生を防ぎ、前記第1容量絶縁膜5の膜厚を薄くできるので、前記MIM容量の容量密度を高くすることができる。そのため、前記MIM容量の形成面積を小さくし、半導体装置を小型化することができる。このとき、前記チタン(Ti)を含む金属膜と、Au膜との間に、Mo膜や、Pt膜を挿入しても良い。

【0113】また、最上層の第n電極と第1金属配線を別々に形成し、前記第1金属配線をMo膜、Au膜を順次積層した2層膜で形成し、前記第n電極をAu膜を含む積層膜とすることにより、外部からの水分等の侵入による、前記第1金属配線からの腐食の進行を前記第n電極上で阻止することができ、前記MIM容量の信頼度の低下を防ぐことができる。

【0114】(実施例3)図13及び図14は、本発明による実施例3のMIM構造の容量素子を有する半導体装置の概略構成を示す図で、図13は平面図、図14は図13のD-D'線での模式断面図である。なお、図13の平面図は、本実施例3のMIM構造を有する容量素子部分を、表面保護膜を省略して示している。

【0115】図13及び図14において、1はGaAs基板、2は絶縁膜、20は下部電極(第1電極)、21は層間絶縁膜、22は容量絶縁膜、23は上部電極(第2電極)、11は第1保護膜、12は第1金属配線、13は第2金属配線、14は第2保護膜(表面保護膜)、TH2は第2スルーホール、TH10は第10スルーホール、TH11は第11スルーホールである。

【0116】本実施例3のMIM容量は、図13及び図14に示すように、GaAs基板1上に、下部電極(第1電極)20、容量絶縁膜22、上部電極(第2電極)23を順次積層した従来の1段構成ものと同様であり、前記上部電極23は、前記上部電極23上の第1保護膜11を開口した第2スルーホールTH2を介して接続される第1金属配線12により前記GaAs基板1上の他の素子と接続され、前記下部電極(第1電極)20は、前記層間絶縁膜21及び第1保護膜11を開口した第1スルーホールTH11を介して接続される第2金属配線13により、前記GaAs基板1上の他の素子と接続される。

【0117】本実施例3のMIM容量においても、前記上部電極(第2電極)23と第1金属配線12が別々に形成されており、前記第1金属配線12をMo膜、Au膜を順次積層した2層膜で形成し、前記上部電極(第2電極)23をAu膜を含む積層膜とすることにより、外部からの水分等の侵入による、前記第1金属配線12の腐食からの進行を前記上部電極(第2電極)23上で阻止することができ、前記MIM容量の信頼度の低下を防ぐことができる。

【0118】また、前記下部電極(第1電極)20を、

Au膜を含む積層膜とし、前記容量絶縁膜22との界面に、Ti膜、TiW膜、TiN膜等のチタン(Ti)を含む金属膜を形成することにより、従来のアルミニウム(A1)電極のような突起(ヒロック)の発生を防ぎ、前記容量絶縁膜22の膜厚を薄くできるので、前記MIM容量を、GaAs基板1上に形成した時に単位面積当たりで得られる容量値(容量密度)を高くすることができる。そのため、前記MIM容量の形成面積を小さくし、半導体装置を小型化することができる。このとき、前記チタン(Ti)を含む金属膜と、Au膜との間に、Mo膜や、Pt膜を挿入しても良い。

【0119】以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはもちろんである。

【0120】例えば、GaAs基板上に形成したHBT(Hetero Bipolar Transistor)と容量素子、抵抗素子を集積化した回路装置においても、前記容量素子に本発明のMIM構造の容量素子を用いることにより、前記回路装置の小型化、及び製造コストの低減が可能である。なお、本発明における半導体集積回路装置は、素子の数の多い、いわゆる大規模の集積回路に限らず、2個以上の素子が同一の半導体基板上に形成されている場合も含む。

【0121】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0122】(1) MIM構造の容量素子を有する半導体集積回路装置を小型化することができる。

【0123】(2) MIM構造の容量素子を半導体基板上に形成した時に単位面積当たりで得られる容量値(容量密度)を向上させることができる。

【0124】(3) MIM構造の容量素子を有する半導体集積回路装置を小型化し、前記半導体集積回路装置の製造コストを低減させることができる。

【図面の簡単な説明】

【図1】本発明による実施例1のMIM構造の容量素子を有する半導体集積回路装置の概略構成を示す平面図である。

【図2】図1のA-A'線での模式断面図である。

【図3】本実施例1のMIM構造の容量素子の各製造工程における平面図である。

【図4】本実施例1のMIM構造の容量素子の各製造工程における平面図である。

【図5】本実施例1のMIM構造の容量素子の各製造工程における平面図である。

【図6】本実施例1のMIM構造の容量素子の作用効果を説明するための平面図である。

【図7】本実施例1のMIM構造の容量素子の変形例を

示す模式断面図である。

【図8】本実施例1のMIM構造の容量素子を搭載した半導体集積回路装置の概略構成を示す図である。

【図9】前記実施例1のMIM構造の容量素子の変形例の概略構成を示す平面図である。

【図10】図9のB-B'線での模式断面図である。

【図11】本発明による実施例2のMIM構造の容量素子を有する半導体集積回路装置の概略構成を示す平面図である。

【図12】図11のC-C'線での模式断面図である。

【図13】本発明による実施例3のMIM構造の容量素子を有する半導体集積回路装置の概略構成を示す平面図である。

【図14】図13のD-D'線での模式断面図である。

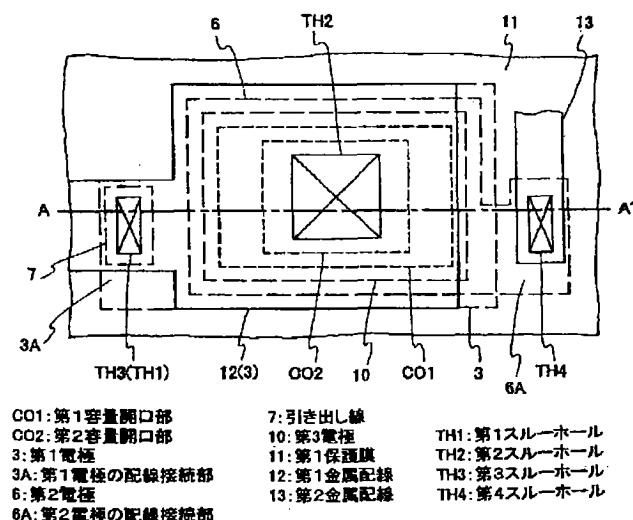
#### 【符号の説明】

1…GaAs基板、2…絶縁膜、3…第1電極、3A…第1電極3の配線接続部、4…第1層間絶縁膜、5…第1容量絶縁膜、6…第2電極、6A…第2電極6の配線接続部、7…引き出し線（第1引き出し線）、7A…引き出し線7の配線部、8…第2層間絶縁膜、9…第2容\*

\*量絶縁膜、10…第3電極、10A…第3電極10の配線接続部、11…第1保護膜、12…第1金属配線、13…第2金属配線、14…第2保護膜（表面保護膜）、15…中間配線、15A…中間配線15の配線接続部、16…第2引き出し線、17…第3層間絶縁膜、18…第3容量絶縁膜、19…第4電極、20…下部電極（第1電極）、21…層間絶縁膜、22…容量絶縁膜、23…上部電極（第2電極）、CO1…第1容量開口部、CO2…第2容量開口部、CO3…第3容量開口部、TH1…第1スルーホール、TH2…第2スルーホール、TH3…第3スルーホール、TH4…第4スルーホール、TH5…第5スルーホール、TH6…第6スルーホール、TH7…第7スルーホール、TH8…第8スルーホール、TH9…第9スルーホール、TH10…第10スルーホール、TH11…第11スルーホール、C1…第1MIM容量、C2…第2MIM容量、F1, F2…電界効果型トランジスタ、L1, L2, L3…インダクタ、P1, P2, P3, P4, P5, P6…ボンディングパッド、W1, W2, W3, W4…金属配線。

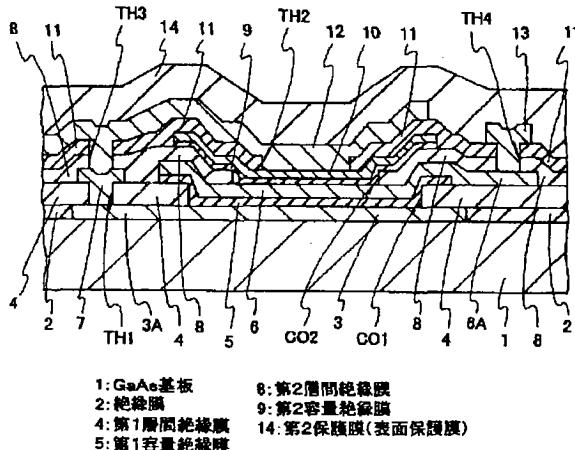
【図1】

図1



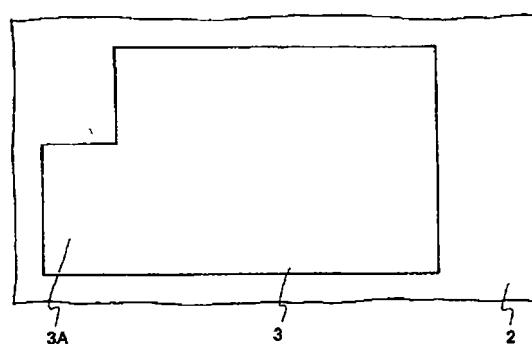
【図2】

図2



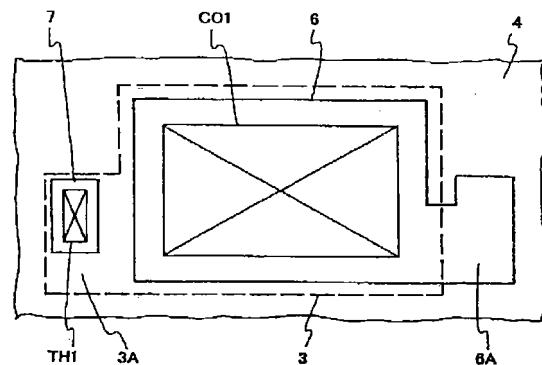
【図3】

図3



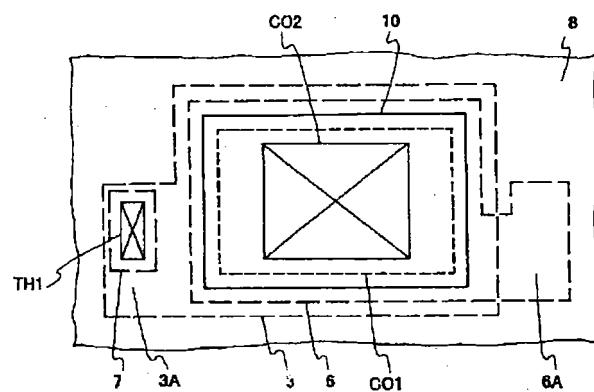
【図4】

図4



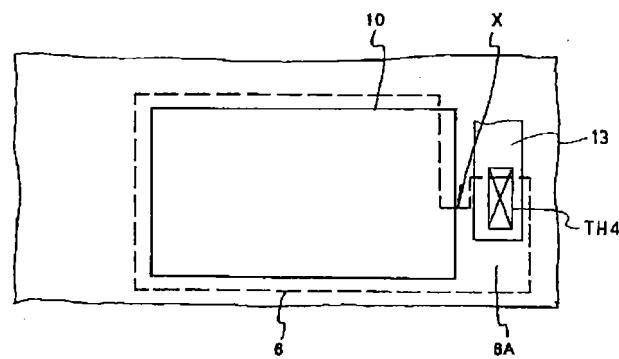
【図5】

図5



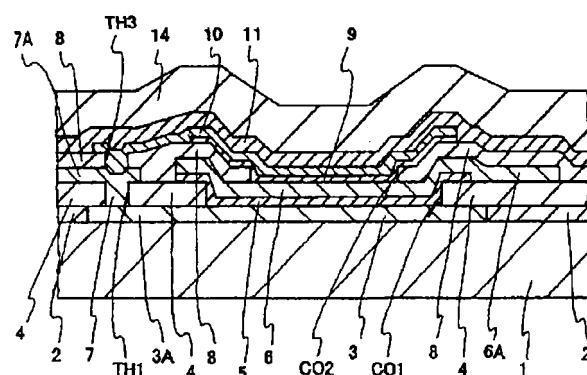
【図6】

図6



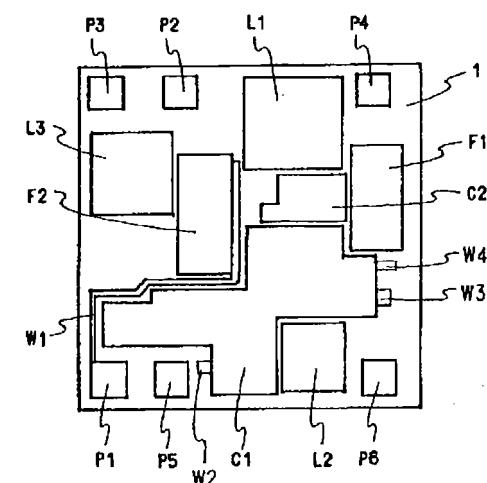
【図7】

図7



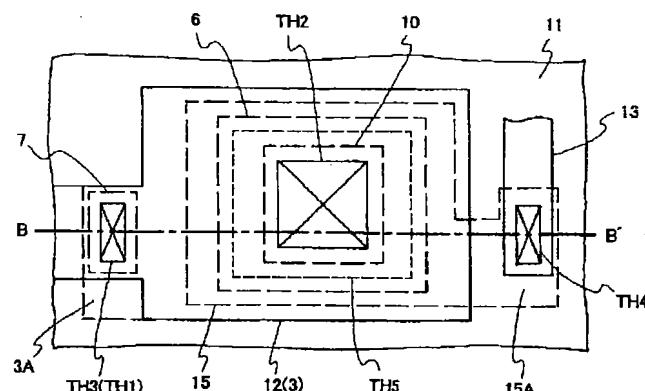
【図8】

図8



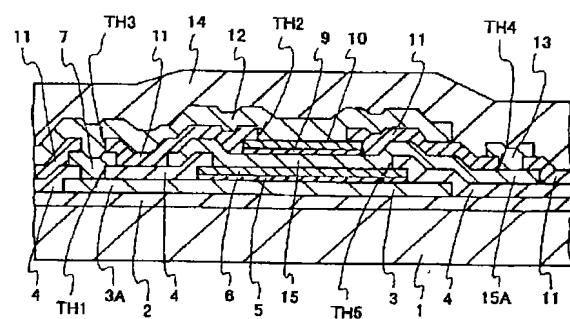
【図9】

図9



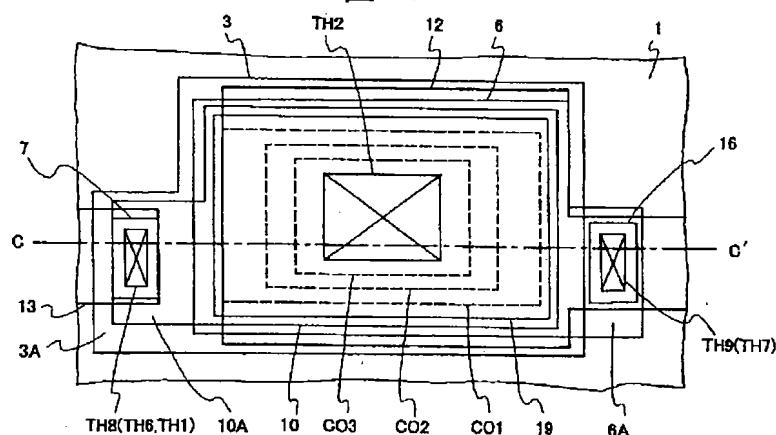
【図10】

図10



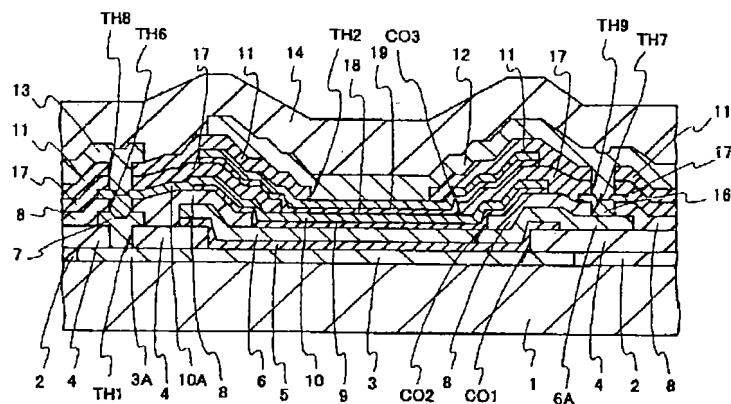
【図11】

図11



【図12】

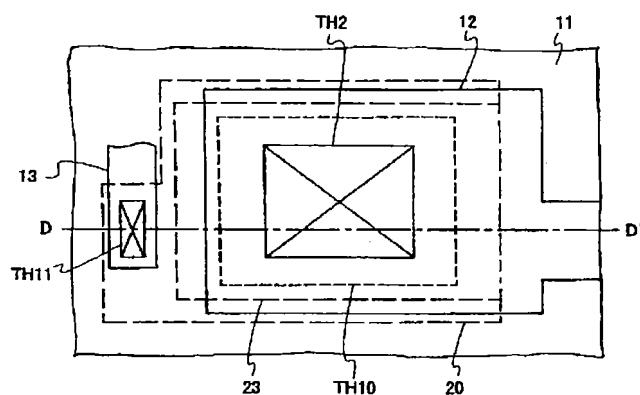
図12



17: 第3層間絶縁膜  
18: 第3容量絶縁膜

【図13】

図13



20: 下部電極(第1電極)

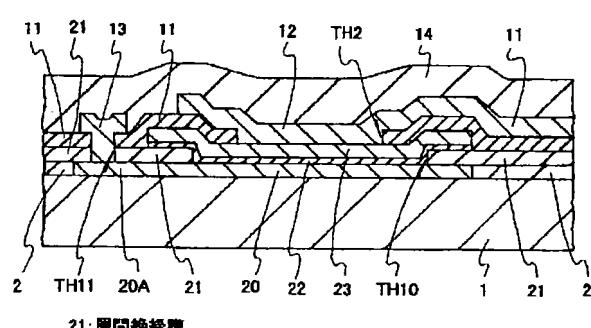
23: 上部電極(第2電極)

TH10: 第10スルーホール

TH11: 第11スルーホール

【図14】

図14



21: 層間絶縁膜  
22: 容量絶縁膜